

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-310534

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 05-122075

(71)Applicant : CANON INC

(22)Date of filing : 27.04.1993

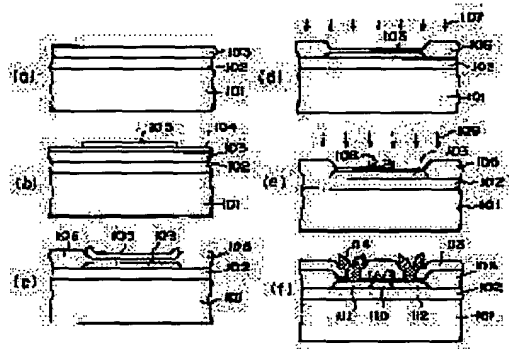
(72)Inventor : SAKAMOTO MASARU

## (54) MANUFACTURE OF SOI TYPE MOS TRANSISTOR

## (57)Abstract:

**PURPOSE:** To acquire a manufacturing method of an SOI type MOS transistor which can make a threshold voltage uniform and restrain a leak current during OFF time.

**CONSTITUTION:** Impurities 107 whose conductivity is opposite to that of a source/ drain region are introduced by ion implantation, tc., after formation of a field oxide film (isolation region) 106 as shown in (d). Since impurity concentration of an element region 103 can be thereby made as is desired, a uniform threshold voltage can be acquired and a leak current during OFF time can be restrained. Furthermore, if thermal treatment is carried out, it is possible to allow enough impurities to attain a sidewall of the isolation region 106 and to stabilize impurity concentration in an area near an interface between the element region 103 and the isolation region 106.



## LEGAL STATUS

[Date of request for examination] 05.07.1999

[Date of sending the examiner's decision of rejection] 06.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted to registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-310534

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.<sup>5</sup>

H01L 21/336  
29/784

識別記号

庁内整理番号

FI

技術表示箇所

9056-4M

H01L 29/78

311 Y

審査請求 未請求 請求項の数5 FD (全5頁)

(21)出願番号 特願平5-122075

(22)出願日 平成5年(1993)4月27日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 坂本 勝

東京都大田区下丸子3丁目30番2号 キャ  
ノン株式会社内

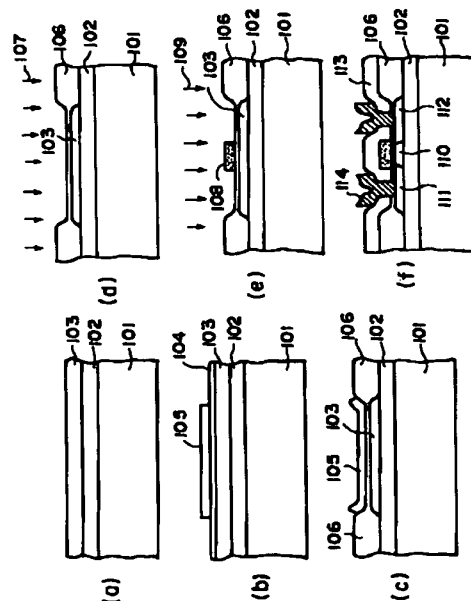
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 SOI型MOSトランジスタの製造方法

(57)【要約】

【目的】 しきい値電圧を均一にし、かつOFF時のリーク電流を抑制することができるSOI型MOSトランジスタの製造方法を得る。

【構成】 図1(d)に示すように、フィールド酸化膜(素子分離領域)106を形成後にソース・ドレイン領域とは反対導電型の不純物107をイオン注入等により導入することを特徴とし、これにより素子領域103の不純物濃度を所望のものとすることができるため、均一なしきい値電圧が得られ、OFF時のリーク電流を抑制することができる。また、熱処理することにより、不純物が素子分離領域106側壁に十分到達させることができ、素子領域103と素子分離領域106との界面近傍の不純物濃度も安定させることができる。



## 【特許請求の範囲】

【請求項1】 素子分離工程後に、素子領域となるSi領域に対してソース・ドレイン領域とは反対導電型の不純物を注入し、該不純物領域を下地絶縁膜及び素子分離領域の側壁まで到達させることを特徴とするSOI型MOSトランジスタの製造方法。

【請求項2】 前記ソース・ドレイン領域とは反対導電型の不純物を注入した後、該不純物領域を下地絶縁膜及び素子分離領域の側壁まで到達させる熱処理工程を含むことを特徴とする請求項1に記載のSOI型MOSトランジスタの製造方法。

【請求項3】 前記不純物領域がP型不純物領域である請求項1記載のSOI型MOSトランジスタの製造方法。

【請求項4】 前記P型不純物としてB<sup>+</sup>イオンを用いることを特徴とする請求項3に記載のSOI型MOSトランジスタの製造方法。

【請求項5】 メサ型のSOI型MOSトランジスタにおいて、素子分離工程後、素子領域となるSi基板に対して、ソース・ドレイン領域とは反対導電型の不純物の注入工程を行なうことを特徴とするSOI型MOSトランジスタの製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速MOSトランジスタであるSOI型MOSトランジスタの製造方法に関するものである。

【0002】

【従来の技術】高速MOSトランジスタとして、SOI型のMOSトランジスタの研究がなされてきている。

【0003】SOI型のMOSトランジスタを製造する上でBulk型のMOSトランジスタと大きく異なる点は素子分離領域にある。

【0004】図3にBulk型MOSトランジスタとSOI型MOSトランジスタの断面構造を示す。

【0005】図3(a)はMOSトランジスタの平面図、図3(b)は図3(a)のA-A'線断面図で、Bulk型MOSトランジスタを示す。また、図3(c)は同様の部分の断面図として、SOI型MOSトランジスタを示す。

【0006】図3において、201は素子領域となるSi基板、202は素子分離領域、203はゲート電極、204、205はソース・ドレイン領域、206、207はソース・ドレインのコンタクト、208、209はソース・ドレインの電極、210は下地酸化膜を示す。

【0007】図3(b)に示すBulk型MOSトランジスタの場合、素子分離領域202の下には十分な深さで素子領域となるSi基板201の領域が存在するのに対し、図3(c)に示すSOI型MOSトランジスタの場合、素子分離領域202の下に絶縁膜としての下地酸

化膜210が形成されており、素子領域となるSi基板201が素子分離領域202及び下地酸化膜210による絶縁膜に挟まれた構造となる。

【0008】従来、このようなSOI型MOSトランジスタを作製する場合、素子領域となる基板201に対し、チャネル領域の導電型を決定すべく、ソース・ドレイン領域とは反対導電型の不純物をイオン注入等の方法により導入した後、素子分離領域となる酸化膜202を形成していた。

【0009】

【発明が解決しようとする課題】しかしながら、上述した図3(c)に示すようなSOI型MOSトランジスタには、Si基板201と絶縁膜202、210界面に固定電荷が形成され、その界面が不安定になるという問題点がある。

【0010】これは、素子分離の酸化工程を行う場合に、従来、先に導入しておいたソース・ドレイン領域とは反対導電型の不純物が、素子分離の酸化膜202中に偏析され、素子領域となるSi基板201の不純物濃度を不安定にするためであり、このような現象により、MOSトランジスタのしきい値電圧が一定せず、またOFF時にソース・ドレイン間にリーク電流が発生する等の問題が生じる。

【0011】【発明の目的】本発明は、上述した従来例における問題点を解消するためになされたもので、MOSトランジスタのしきい値電圧を均一にし、かつOFF時のリーク電流を抑制することができるSOI型MOSトランジスタの製造方法を得ることを目的とする。

【0012】

【課題を解決するための手段】本発明は、前述した課題を解決するための手段として、素子分離領域の形成後に、素子領域となるSi領域に対してソース・ドレイン領域とは反対導電型の不純物を注入し、該不純物領域を下地絶縁膜及び前記素子分離領域の側壁まで到達させることを特徴とするSOI型MOSトランジスタの製造方法を有する。

【0013】

【作用】本発明によれば、SOI型MOSトランジスタにおいて、素子分離領域を形成した後に、ソース・ドレイン領域とは反対導電型の素子領域となる基板の濃度を決定する不純物を導入することにより、従来発生していた素子分離領域形成のための酸化工程による不純物濃度の変化を無くすることができる。特に、本発明によれば、素子領域と素子分離領域側壁部の界面近傍の不純物濃度を安定して制御することができる。

【0014】従って、素子領域となる基板濃度の制御性を向上させることができ、所望の不純物濃度を得ることができる。このため、MOSトランジスタのしきい値電圧が均一に形成され、OFF時のリーク電流も抑制することが可能となる。

【0015】更には、素子分離領域を予め形成してあるため、ウェルが自己整合的に形成され、CMOS化等において、微細化を行う有効な手段となり得る。

【0016】

【実施例】以下、本発明を図面を参照して説明する。

【0017】図1は本発明によるSOI型MOSトランジスタの製造方法を好適に示す実施態様例である。

【0018】図1(a)はSOI基板である。例えば、SIMOXウェハであれば、101はシリコン基板、102は酸化膜、103はデバイスを形成するためのシリコン層である。

【0019】また、図1(b)は素子分離の手法として、LOCOS酸化を用いる場合のフローである。104は酸化膜、105はパターニングされた窒化膜である。これを熱酸化することにより、図1(c)を得る。熱酸化により形成されるフィールド酸化膜106は、下地酸化膜102と接触し、素子が完全に分離される。

【0020】続いて、窒化膜、酸化膜除去後ゲート酸化を行い、基板濃度決定のためイオン注入等の方法を用い、図(d)に示すように不純物107を導入する。

【0021】従来から、基板濃度決定のため、イオン注入等の方法を用い不純物を導入する手法があるが、従来場合はしきい値をコントロールするために、ゲート酸化膜直下の極表面領域のみに不純物を導入した。本発明では、素子分離領域側壁に不純物107を導入することが第1の目的である。付加的な効果として、しきい値を制御することも可能となる。更に、CMOS構成にする場合、ウェルを自己整合的に形成できるため、微細化に対しても有効な手法となる。

【0022】図1(e)に示す108はゲート電極であり、109はソース・ドレイン形成のための不純物導入である。また、図1(f)に示す110はチャネル領域、111、112は、ソース・ドレイン領域、113は層間絶縁膜、114は、ソース・ドレインのための電極である。

【0023】次に、プロセス条件を含め、詳細な製造方法を示す。

【0024】例えば、市販されているSIMOXウェハを用いた場合、酸素系の注入条件にもよるが、図1(a)に示す酸化膜102は、3000~4000Å、Siデバイス層は、2000Å程度になる。Siデバイス層は熱処理のため、不純物は $10^{14}\text{cm}^{-3}$ 以下となっている。Siデバイス層の厚さは、この後エピタキシャル成長等を行い、厚くすることも可能である。

【0025】次に、LOCOS酸化のための、酸化膜104と窒化膜105を図1(b)に示すように形成する。この膜厚により、LOCOS酸化のエッチ部分の形成、つまり、素子分離側壁の形状が変化する。通常、窒化膜エッチング時の選択比も考え、200~500Å程度の酸化膜上に、1000~2000Å程度の窒化膜1

05を形成し、この窒化膜105をパターニングする。

【0026】次に、フィールド酸化を施す。シリコン厚が~2000Å程度であれば、~5000Å程度の酸化で完全な素子分離が形成可能となる(図1(c)参照)。

【0027】続いて、リン酸処理等により、窒化膜105を除去し、フッ酸処理等により、酸化膜を除去する(図1(d)参照)。

【0028】次に、ゲート酸化膜を形成する。ゲート酸化膜厚は、100~500Å程度形成する。

【0029】続いて、本発明の特徴である不純物の導入を行う(図1(d)参照)。例えば、不純物としてP形不純物107を用いるならば、 $\text{BF}_3$ よりも $\text{B}^+$ の方がよい。 $\text{BF}_3$ の不純物分布に比較し、 $\text{B}^+$ の方が広域に広がる点にある。これもまた本発明の特徴である。

【0030】更に、不純物注入後、不純物107がフィールド酸化膜の素子分離領域106側壁に十分到達するように熱処理を行う。このため、1000℃以上の熱処理により、十分な基板濃度を得ることができる。この後のプロセスで、素子分離側壁の不純物濃度が確保されていることが必要である。

【0031】続いて、ゲート電極108等の形成を行い、ソース・ドレイン形成のための不純物109をイオン注入し、ソース・ドレイン領域111、112を形成し、更に各々の領域の電極等を形成する(図1(e)参照)。

【0032】[他の実施例]前記実施例では、素子分離にLOCOS酸化を用いた場合について説明したが、本発明は、LOCOS酸化に限ったことではない。本発明のポイントは、素子分離工程後に基板濃度を決定する点にある。例えば、メサ型の素子分離を行っても同様の効果が期待できる。

【0033】図2にメサ型のMOSトランジスタの平面図(a)及びそのB-B'断面図(b)を示す。図2において、301はシリコン基板、302は下地酸化膜、303はチャネル部(素子領域となる基板)、304はゲート電極、305、306はソース・ドレイン領域である。

【0034】このような構造では、従来、前述した理由で矢印のソース・ドレイン間リークが発生するという問題があった。

【0035】本実施例でも、素子分離工程の後に、素子領域となる基板(チャネル部)303の不純物濃度を決定すべくソース・ドレイン領域とは反対導電型の不純物の注入工程を行なう。

【0036】本発明の方法によれば、図2(b)に示すように、素子領域となる基板(チャネル部)303は、その端部が薄膜化されている。

【0037】このため、このような形状の基板303に対して不純物のイオン注入を行なうと、基板濃度が端部

10

20

30

40

50

で増加することになり、端部で発生するソース・ドレイン間リークが抑制される。

【0038】

【発明の効果】以上説明したように、本発明によれば、素子分離工程後に、素子領域となる基板濃度を決定するためのソース・ドレイン領域とは反対導電型の不純物導入工程を行うことにより、注入した不純物の濃度が変化させられることが無く、安定した所望の濃度の素子領域基板が得られる。

【0039】このため、MOSトランジスタのしきい値電圧が均一に形成され、SOI型MOSトランジスタ特有のソース・ドレイン間リーク電流を抑制することができるという効果が得られる。

【0040】また、本発明の特徴は、トランジスタの構造的な変化を伴うことなく、リーク電流を抑制でき、微細化に対しても有効な手法である。

【図面の簡単な説明】

【図1】本発明のプロセスフロー図である。

【図2】本発明のメサ型MOSトランジスタへの応用例を示す図である。

【図3】従来例のSOI型MOSトランジスタの構造、及びソース・ドレインリーク電流を説明するための図である。

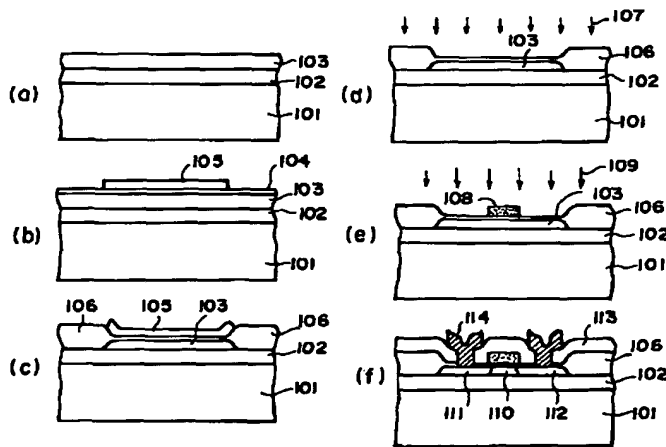
【符号の説明】

101 シリコン基板

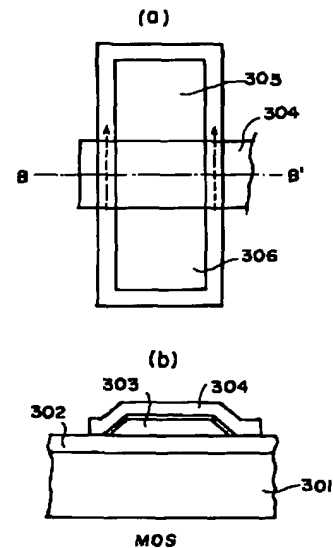
- \* 102 下地酸化膜
- 103 素子領域となるシリコン基板
- 104 酸化膜
- 105 窒化膜
- 106 フィールド酸化膜（素子分離領域）
- 107 素子領域となる基板濃度を決定するための、ソース・ドレインとは反対導電型の不純物
- 108 ゲート電極
- 109 ソース・ドレイン形成のための不純物
- 110 チャンネル領域
- 111, 112 ソース・ドレイン領域
- 113 層間絶縁膜
- 201 素子領域となるSi基板、
- 202 素子分離領域、
- 203 ゲート電極、
- 204, 205 ソース・ドレイン領域、
- 206, 207 ソース・ドレインのコンタクト、
- 208, 209 ソース・ドレインの電極、
- 210 下地酸化膜、
- 20 301 シリコン基板、
- 302 下地酸化膜、
- 303 チャンネル部（素子領域となる基板）、
- 304 ゲート電極、
- 305, 306 ソース・ドレイン

\*

【図1】



【図2】



【図3】

